

# 三相用電圧制御形可変キャパシタの開発とその応用

山光 史哲 (九州産業大学 理工学部 電気工学科)

Fuminori YAMAMITSU, Department of Electrical Engineering, Faculty of Science and Engineering, Kyushu Sangyo University

## 1 はじめに

周知のように、電力系統における受電端電圧は、受電端に繋がる負荷のインピーダンスに依存する。つまり、受電端電圧は、進相負荷で高くなり、遅相負荷の場合は低くなる。この現象は、軽負荷時に顕著となる。

著者は、受電端の電圧制御に磁束制御形可変リアクトルが有効であることを確認している[1,2]。その電圧制御方法とは、予め受電端に進相用のコンデンサを繋いでおき、遅相分を可変リアクトルで制御する方式であった。仮に、可変リアクトルの代わりに、電圧制御形可変キャパシタを導入することができれば、磁束制御形可変リアクトルの場合と同様、受電端電圧の制御が可能となるはずである。

高誘電率の積層セラミックコンデンサの静電容量は、コンデンサに印加する DC バイアス電圧によって変化する性質がある。つまり、バイアス電圧を高くすると静電容量は小さくなり、低くすると静電容量は大きくなる。単相用電圧制御形可変キャパシタの動作原理は、この性質を用いている[3,4]。

本研究報告では、先ず単相用電圧制御形可変キャパシタの動作原理を示す。次に、単相用を三相用に発展した電圧制御形可変キャパシタの構成例を示す。そして、三相用電圧制御形可変キャパシタを模擬送電線路の受電端電圧制御に適用した結果、定常状態で 1% 程度の誤差を許せば、受電端電圧をその目標値と一致する結果を得ることができた。なお、電圧制御形可変キャパシタの動作には、コンデンサの充放電に要する静電エネルギーを減らす方法も重要な問題であることも示す。

## 2 単相用可変キャパシタの構成と動作原理

図 1 は、単相用電圧制御形可変キャパシタの構成図であり、可変キャパシタと可変キャパシタにバイアス電圧を印加する制御回路で構成されている。図に示す主な記号は、以下のとおりである。

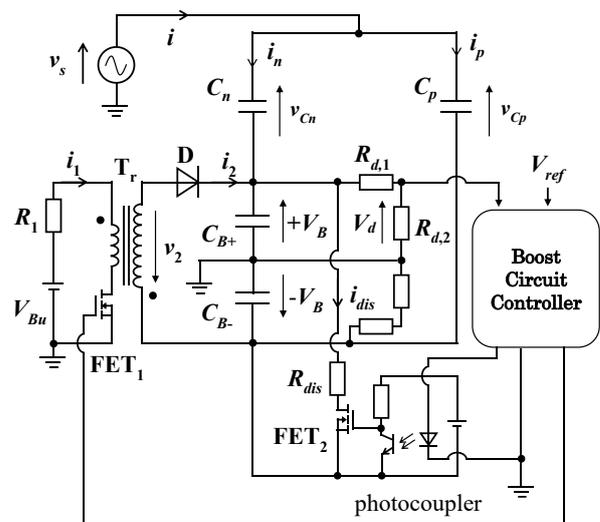


図 1 単相用電圧制御形可変キャパシタの構成図

- $v_s$ : 可変キャパシタ  $C_n, C_p$  に繋がる交流電源
- $C_n, C_p$ : セラミックコンデンサ
- $i_n, i_p$ :  $C_n, C_p$  へ流れる電流
- $i$ : 合成電流 ( $= i_n + i_p$ )
- $C_{B+}, C_{B-}$ : バイアス電圧用フィルムコンデンサ
- $T_r$ : バイアス電圧発生用昇圧変圧器
- $R_1$ :  $T_r$  の 1 次電流保護抵抗 ( $1 \Omega$ )
- $i_1$ :  $T_r$  の一次電流
- $i_2$ :  $T_r$  の二次電流
- $v_2$ :  $T_r$  の二次電圧
- $D$ : 整流用ダイオード
- $V_{ref}$ : バイアス電圧の目標値
- $+V_B, -V_B$ : DC バイアス電圧
- $V_d$ :  $+V_B$  の検出信号
- $R_{d,1}, R_{d,2}$ :  $+V_B$  の分圧抵抗
- $R_{dis}$ : 放電用抵抗 ( $500 \Omega$ )
- $i_{dis}$ :  $R_{dis}$  に流れる電流
- $FET_1$ :  $i_1$  を制御する FET スイッチ
- $FET_2$ :  $i_{dis}$  を制御する FET スイッチ

可変キャパシタは、図 1 の上部に配置した高誘電率の積層セラミックコンデンサ  $C_n, C_p$  で構成されている。この可変キャパシタの動作原理は、それぞれの  $C_n, C_p$  に印加する DC バイアス電圧  $+V_B, -V_B$  によって  $C_n, C_p$  の静電容量が変化する性質に基づいている。つまり、DC バイアス電圧を高くすると  $C_n, C_p$  の静電容量は小さくなり、逆に低くすると静電容量は大きくなるのである。可変キャパシタ  $C_n, C_p$  それぞれに印加される電圧  $v_{Cn}, v_{Cp}$  は、図 1 より(1)式で示される。

$$v_{Cn} = v_s - V_B, \quad v_{Cp} = v_s + V_B \quad (1)$$

なお、 $v_{Cn}$  と  $v_{Cp}$  がコンデンサの定格電圧に近づくと、いわゆる  $D-E$  ヒステリシス現象のため  $i_n$  と  $i_p$  の歪みは共に大きくなる。ところが図 1 に示す電圧制御形可変キャパシタの場合は、 $i = i_n + i_p$  とすることで、この歪みを抑制する特徴がある。

図 1 より、交流電源  $v_s$  から見た可変キャパシタの合成静電容量  $C_s$  は、 $C_n \ll C_{B+}$  および  $C_p \ll C_{B-}$  とすることで、(2)式に示す  $C_s \cong C_n + C_p$  となる。

$$C_s = \frac{C_n C_{B+}}{C_n + C_{B+}} + \frac{C_p C_{B-}}{C_p + C_{B-}} \cong C_n + C_p \quad (2)$$

ところが、 $C_{B+}, C_{B-}$  の静電容量を大きくすると、充放電に要する時間が長くなってしまふ。これは、単相電圧制御形可変キャパシタの欠点と言える。なお、 $C_n, C_p$  は図 2 に示すように、それぞれ 4 個のセラミックコンデンサを直並列に接続している。これは、コンデンサの定格電圧を高くするための直列接続と静電容量を増やすための並列接続である。表 1 に  $C_n, C_p$  の仕様を示す。

表 1 高誘電率積層セラミックコンデンサ ( $C_n, C_p$ ) の仕様

Rated voltage (dc)	250 V
Rated Capacitance	15 $\mu$ F
Temperature Characteristics	X7R
Maximum ripple current (rms)	4.0 A

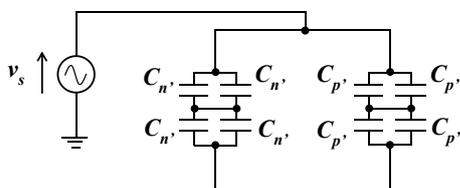


図 2  $C_n, C_p$  の詳細

## 2.1 DC バイアス用コンデンサの充電部

図 1 に示す  $FET_1$  のスイッチング動作によって、DC バイアス用コンデンサ  $C_{B+}, C_{B-}$  を充電する。充電のメカニズムは以下のとおりである。

$Tr$  の 1 次巻線電流  $i_1 = 0$  の状態で  $FET_1$  を ON にすると  $i_1$  は、(3)式のように時間とともに増加し、最終的には  $V_{Bu}/R_1$  の一定値となる。ここでは、簡単のため  $FET_1$  の ON 抵抗と 1 次巻線の抵抗は、共に零とした。  $FET_1$  の ON 時には、D は逆バイアスされて OFF となる。

$$i_1 = \frac{V_{Bu}}{R_1} \left( 1 - \exp\left(-\frac{R_1}{L_1} t\right) \right) \quad (3)$$

(3)式の  $L_1$  は、 $Tr$  の 1 次巻線から見たインダクタンスであり、図 3 に示すように  $Tr$  の磁心が磁気飽和しないように空隙  $\ell_g$  を 2 ヶ所設けている。  $Tr$  の仕様を表 2 に示し、 $L_1$  は(4)式で求めた。

$$L_1 = \frac{N_1^2 \mu_0 S_{core}}{\frac{\ell_{core}}{\mu_s} + 2\ell_g} \quad (4)$$

表 2 昇圧用変圧器の仕様

Primary winding	$N_1 = 30$ turns
Secondary winding	$N_2 = 2400$ turns
Primary winding resistance	$r_1 = 0.01 \Omega$
Secondary winding resistance	$r_2 = 91.0 \Omega$
Cross-sectional area	$S_{core} = 4.07 \times 10^{-4} \text{ m}^2$
Magnetic core length	$\ell_{core} = 0.23 \text{ m}$
Air gap	$\ell_g = 0.001 \text{ m}$
Relative permeability	$\mu_s = 94000$
Permeability of vacuum	$\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$
Primary side self-inductance	$L_1 = 0.23 \text{ mH}$

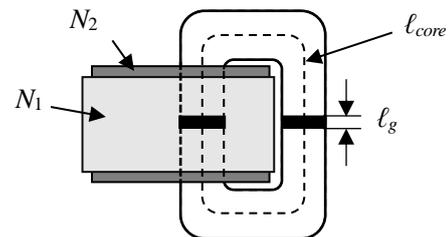


図 3 昇圧用変圧器

今, FET<sub>1</sub> を ON の状態から OFF にすると(3)式の  $i_1$  の増加率は, 正から負に転じる. そうすると, Tr の主に空隙に蓄えられていた電磁エネルギーは, D が順バイアスされて  $C_{B+}$ ,  $C_B$  に静電エネルギーとして蓄えられ,  $+V_B$  と  $-V_B$  の DC バイアス電圧となるのである. そして, 抵抗  $R_{d1}$ ,  $R_{d2}$  で分圧して得た  $+V_B$  の検出信号  $V_d$  と,  $+V_B$  の目標値である  $V_{ref}$  とが一致するように Boost Circuit Controller を介して FET<sub>1</sub> を ON/OFF するのである. 仮に, Boost Circuit Controller で PI 動作をすると  $V_d$  と  $V_{ref}$  とは一致し, 定常偏差は生じないことになる.

## 2.2 DC バイアス用コンデンサの放電部

電圧制御形可変キャパシタは,  $C_n$ ,  $C_p$  に印加する DC バイアス電圧  $+V_B$ ,  $-V_B$  を可変することで  $C_n$ ,  $C_p$  の静電容量を変化させている.

$+V_B$ ,  $-V_B$  の増加は, 図 1 に示す FET<sub>1</sub> のスイッチング動作で行っている. 一方,  $+V_B$ ,  $-V_B$  を減少させる場合は,  $R_{d1}$ ,  $R_{d2}$  の分圧抵抗が  $k\Omega$  オーダーと大きいので  $C_{B+}$ ,  $C_B$  に蓄えられている電荷の放電には適していない. そこで, 何らかの方法で放電しなければならない.

図 1 の回路で,  $+V_B \rightarrow R_{dis} \rightarrow \text{FET}_2 \rightarrow -V_B$  の閉ループを考えると, FET<sub>2</sub> を ON すれば  $C_{B+}$ ,  $C_B$  に蓄えられている電荷を放電することができる. この FET<sub>2</sub> の ON/OFF も  $V_d$  と  $V_{ref}$  とが一致するように Boost Circuit Controller と photocoupler を介して行っている. なお, この放電に伴う静電エネルギーの概ねは,  $R_{dis}$  で熱に変換されることから, 電圧制御形可変キャパシタの損失の増加に繋がる. また, 電圧制御形可変キャパシタを商用電源 (50, 60 Hz) で用いることを考え, FET<sub>2</sub> のスイッチング周波数は 1 kHz と高とした.

## 2.3 充放電時の受電端負荷への影響

模擬送電線路の受電端に接続することを想定した場合, DC バイアス電圧の充放電は, 受電端負荷へ影響を与えないだろうか. 簡単のため, 図 4 の模擬送電線路について考える. 今, 充電によって  $+V_B$  増加した場合, セラミックコンデンサ  $C_n$  に電流  $\Delta I_n$  が流れる. 同様に,  $-V_B$  の増加に対して  $C_p$  に  $\Delta I_p$  が流れる. ここで,  $|+\Delta V_B| = |-\Delta V_B|$  かつ  $C_n = C_p$  という条件下では,  $\Delta I_p = -\Delta I_n$  となり受電端負荷  $R$  に影響を与えることはない. 電圧制御形可変キャパシタは, この条件をほぼ満たしており, DC バイアス電圧の増減における受電端負荷への影響はない方式と言える.

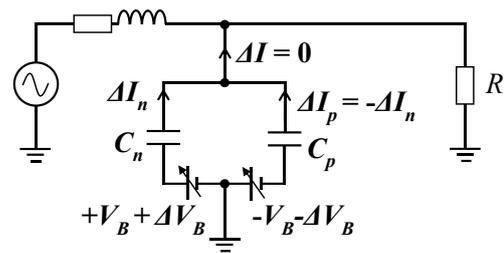


図 4 充放電時の受電端電圧

## 3 三相用可変キャパシタの構成と動作

図 5(a) は, 単相用電圧制御形可変キャパシタを三相用とした三相用電圧制御形可変キャパシタの構成図である.

この三相用電圧制御形可変キャパシタを平衡三相電源  $U$ ,  $V$ ,  $W$  に繋いだ場合を考えると, 中性点である  $O_n$  と  $O_p$  とは同電位であることから, 三相交流成分の電流はコンデンサ  $C'_{B+}$ ,  $C'_{B-}$  には流れない. 単相用では(2)式に示すように  $C_p$ ,  $C_n$  に対して  $C_{B+}$ ,  $C_B$  の静電容量を大きくする必要があったが,  $C'_{B+}$ ,  $C'_{B-}$  の静電容量を小さくすることができる. その結果,  $+V_B$ ,  $-V_B$  の電圧制御の応答性は, 単相の場合と比べると 10 倍以上速くなる. さらに,  $C'_{B+}$ ,  $C'_{B-}$  の充放電に要する電力量も大幅に軽減され, 三相用可変キャパシタの高効率化に繋がる.

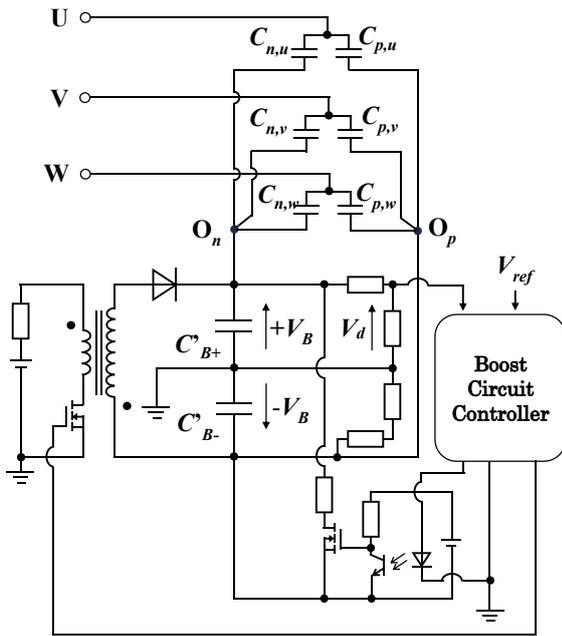
本章では,  $U$ ,  $V$ ,  $W$  の各端子に繋がる  $C_{nu}$ ,  $C_{pu}$  等の 6 個のセラミックコンデンサは, 表 1 に示すコンデンサを用いて図 2 に示すようにそれぞれを直並列接続した. また, コンデンサ  $C'_{B+}$ ,  $C'_{B-}$  は小容量の  $2.35\mu\text{F}$  とした.

図 5(b) は,  $U$ ,  $V$ ,  $W$  の線間電圧を 100 V(rms), (60 Hz) とした場合で, DC バイアス電圧  $+V_B$  の変化に対する合成静電容量  $C_U (= C_{nu} + C_{pu})$  の変化を示す.  $C_U$  は,  $+V_B = 0$  のときの  $38.1\mu\text{F}$  から  $+V_B = 300\text{V}$  で  $15.7\mu\text{F}$  へと 0.412 倍変化した.

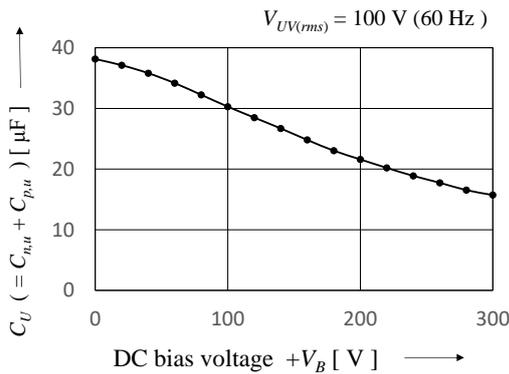
図 5(c) は, DC バイアス電圧  $+V_B = 300\text{V}$  で,  $V_{UV(\text{rms})} = 100\text{V}$  (60Hz) としたときの  $C_{nu}$  に流れる電流  $i_{nu}$  と  $C_{pu}$  に流れる電流  $i_{pu}$  および合成電流  $i_u (= i_{nu} + i_{pu})$  の波形を示す. セラミックコンデンサの  $D-E$  ヒステリシス現象のため,  $i_{nu}$ ,  $i_{pu}$  はそれぞれ歪んでいるが,  $i_u$  の歪みは抑えられていることが分かる.

## 4 模擬送電線路の受電端電圧制御

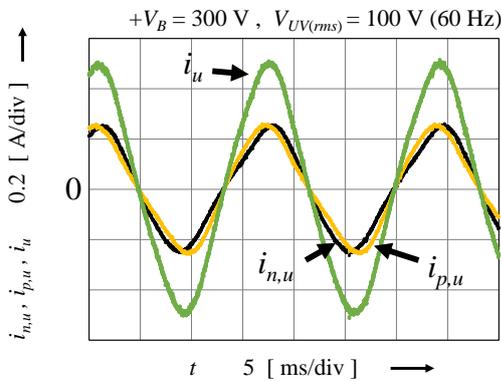
本章では, 先ず模擬送電線路を用いて三相用可変キャパシタのバイアス電圧と受電端電圧との関係について示す. 次に, 模擬送電線路の受電端電圧制御



(a) 構成図



(b) DC バイアス電圧に対する合成静電容量  $C_U$



(c) 電流波形例

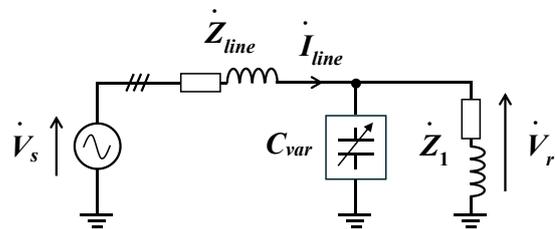
図 5 三相電圧制御形可変キャパシタ

に三相可変キャパシタを適用した例について示す。

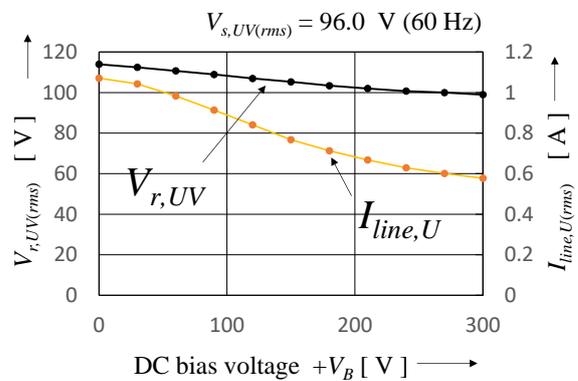
図 6(a) は、模擬送電線路に三相可変キャパシタ  $C_{var}$  を繋いだ結線図で、図の記号は以下のとおりである。

- $\dot{V}_s$  : 送電端電圧 (60 Hz)
- $\dot{Z}_{line}$  : 線路インピーダンス ( $2.70 + j14.4 \Omega$ )/phase
- $\dot{I}_{line}$  : 線路電流
- $C_{var}$  : 三相電圧制御形可変キャパシタ
- $\dot{V}_r$  : 受電端電圧
- $\dot{Z}_1$  : 誘導性負荷 ( $110 + j16.5 \Omega$ )/phase

図 6(b) は、送電端 U-V 間電圧  $V_{s,UV(rms)}$  を 96.0 V 一定としておき、DC バイアス電圧  $+V_B$  の変化に対する受電端における U-V 間電圧  $V_{r,UV(rms)}$  と U 相電流  $I_{line,U(rms)}$  を示している。DC バイアス電圧  $+V_B$  は 0 から 300V の変化に対して、 $V_{r,UV(rms)}$  は 112V から 97 V へと 13%減少していることから、可変キャパシタが送電線路における可変キャパシタとして動作していることを確認できる。



(a) 結線図



(b) DC バイアス電圧に対する U-V 間電圧と電流

図 6 模擬送電線路と三相可変キャパシタ

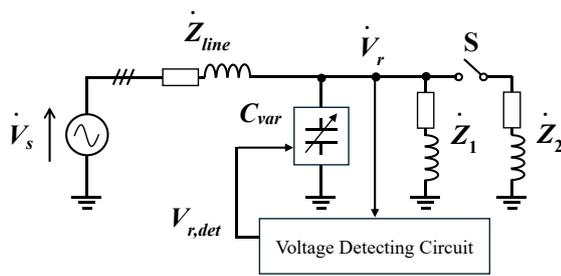


図7 受電端電圧の電圧制御

図7は、模擬送電線路の受電端電圧制御に三相用可変キャパシタ  $C_{var}$  を適用した例である。ここでは、受電端で負荷変動を与えるため、図6(a)の回路にスイッチ  $S$  と誘導性負荷  $Z_2 = (131 + j112 \Omega)/\text{phase}$  を加えている。図7に示す Voltage Detecting Circuit は、受電端電圧を検出するための回路であり、検出遅れのない回転ベクトル方式を採用した。そして、受電端電圧を検出して得た信号  $V_{r,det}$  と図5(a)に示すバイアス電圧の目標値である  $V_{ref}$  とが一致するように、三相用可変キャパシタのDCバイアス電圧を制御するものである。

図8は、図7に示す受電端電圧制御回路の動作例で、受電端電圧の検出信号  $V_{r,det}$  と受電端 U-V 間電圧  $v_{r,UV}$  の時間変化を示している。波形の上部に示している  $V_{s,UV(rms)}$  は、図7に示す送電側の電源電圧  $\dot{V}_s$  の実効値である。

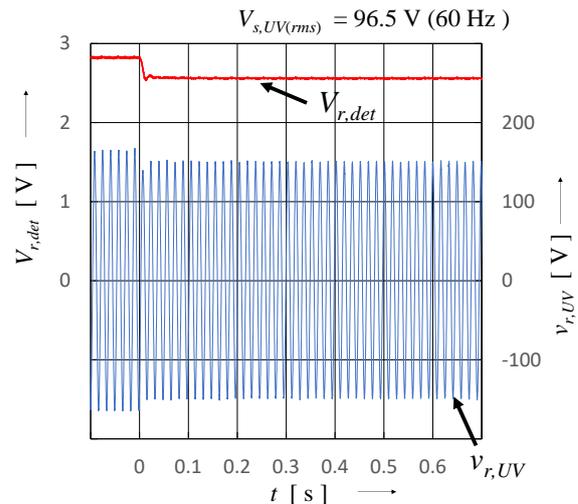
図8(a)は、無制御時である。 $t < 0$  のとき  $v_{r,UV}$  の実効値  $V_{r,UV(rms)}$  は  $114 \text{ V}$  で  $V_{r,det} = 2.82 \text{ V}$  であった。この状態から  $t = 0$  でスイッチ  $S$  を ON にすると、 $v_{r,UV}$  は減少したままである。なお、 $V_{r,det}$  には、受電端電圧の不平衡による  $2f$  成分が重畳しているため、 $120 \text{ Hz}$  のバンドストップフィルタを適用している。

図8(b)は、 $V_{r,UV(rms)}$  を  $100 \text{ V}$  ( $V_{r,det} = 2.49 \text{ V}$ ) に電圧制御した場合の動作例である。 $t = 0$  でスイッチ  $S$  を ON にすると、 $v_{r,UV}$  は一旦減少するけれど、約  $0.8$  秒後には  $V_{r,UV(rms)}$  は  $99 \text{ V}$  ( $V_{r,det} = 2.46 \text{ V}$ ) に戻っている。

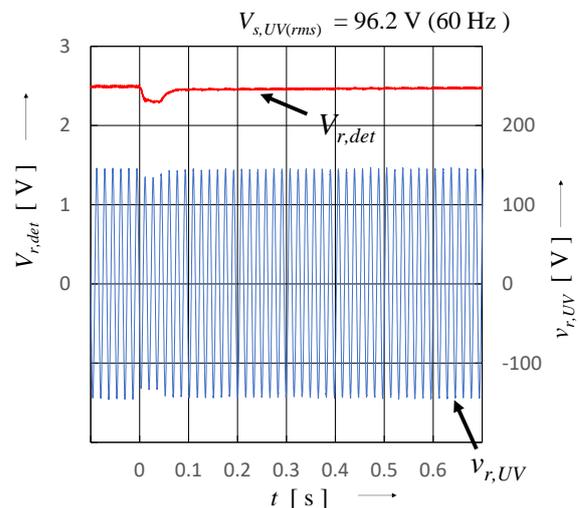
図9は、図7に示すスイッチ  $S$  を OFF の状態から ON とし、さらに  $3.4$  秒後には、再び OFF へと切替えたときの  $V_{r,det}$  と DC バイアス電圧  $+V_B$  の動作例を示している。

$+V_B$  は、スイッチ ON 直前の  $280 \text{ V}$  から  $2.4$  秒後には、 $75 \text{ V}$  へと減じている。そして、スイッチを再び OFF にすると  $+V_B$  は、 $0.8$  秒を要して  $290 \text{ V}$  程度まで増加後、幾分減少している。

一方、受電端電圧の検出信号  $V_{r,det}$  は、スイッチ  $S$



(a) 無制御時



(b) 制御時

図8 動作例

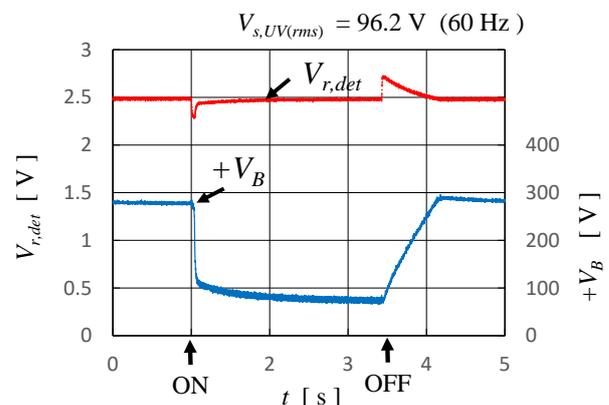


図9 負荷変動に対するDCバイアス電圧の動作例

を ON する直前の 2.49 V から ON 直後 2.3 V 程度まで下がり、0.8 秒後には 2.46 V まで戻っている。そしてスイッチ OFF 直後、 $V_{rdet}$  は 2.7 V に跳ね上がり 0.8 秒後には、2.49 V に戻っている。このデータから受電端電圧は一定値に制御されているのを確認することができる。

## 5 おわりに

本研究報告では、先ず単相用電圧制御形可変キャパシタの動作原理を示した。次に、単相用を三相用に発展した電圧制御形可変キャパシタの構成例を示した。

三相用は、可変キャパシタに印加する DC バイアス電圧用のコンデンサに被制御交流電源の電流が流れない構成である。従って、三相用は DC バイアス電圧用のコンデンサの容量を小さくすることができ、単相用と比べると応答性が格段に速くなることを示した。

そして、三相用電圧制御形可変キャパシタを模擬送電線路の受電端電圧の制御に適用した結果、定常状態で 1% 程度の誤差を許せば、受電端電圧をその目標値と一致する結果を得ることができた。

しかしながら、図 8, 9 で示したように、受電端電圧をその目標値に一致させるためには、1 秒程度を要し、応答性に課題を残した。また、電圧制御形可変キャパシタの動作で、バイアス用コンデンサの電圧を下げる方法として、現時では放電抵抗でコンデンサに蓄えられている静電エネルギーを熱に変換する方法を採用していることから、バイアス電圧用コンデンサの充放電の方法には、改良の余地があり、今後の課題である。

## 参考文献

- [1] T. Sonoda, H. Miyanaga, F. Yamamitsu, "Low-Distortion Variable Reactor for Voltage Control of Power System," Int. Conf. on Elec. Engi., P-4-01, 2000.
- [2] F. Yamamitsu, T. Yamamoto, T. Sonoda, "Voltage Control of Power System by Using a Magnetic Flux-Controlled Variable Reactor," Int. Conf. on Elec. Engi., O-014, 2008
- [3] 山光史哲, 山本哲也, "セラミックコンデンサの DC バイアス特性を利用した電圧制御形可変キャパシタの作成", 電気学会全国大会講演論文集 2023, p.209, 2023.
- [4] 山光史哲, 山本哲也, 松崎隆哲, "電圧制御形可変キャパシタによる模擬送電線路の受電端電圧制御", 電気関係学会九州支部連合大会講演論文集 2023, pp.1-2, 2023.